

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—165419

⑤ Int. Cl.<sup>3</sup>  
H 03 K 5/135

識別記号

庁内整理番号  
7232—5 J

⑬ 公開 昭和58年(1983)9月30日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 移相器

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内

⑯ 特 願 昭57—47109

⑯ 出 願 人 東京芝浦電気株式会社

⑰ 出 願 昭57(1982)3月26日

川崎市幸区堀川町72番地

⑱ 発 明 者 高橋英博

⑱ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

移 相 器

2. 特許請求の範囲

ディジタル情報によって移相量を指定する形式の移相器において、フリップフロップと、容量・抵抗直列回路とを備え、上位ビットに対応する移相量はフリップフロップによって得、下位ビットに対応する移相量は容量・抵抗直列回路によって得る事を特徴とする移相器。

3. 発明の詳細な説明

(発明の技術分野)

この発明はディジタル移相器に関する。

(発明の技術的背景とその問題点)

ディジタル移相器には従来、2種類のものがある。1つはフリップフロップに代表されるディジタル素子によって構成する方法であり、他の1つは容量・抵抗回路(以下CR回路と略称)に代表されるアナログ素子によって構成する方法である。フリップフロップによって構成する従来の移相器

の例を第1図及び第2図に示す。

第1図はフリップフロップ(1a)~(1b)でシフトレジスタを構成し、キャリア(3)に対して遅延を加える事によって各段から移相出力を得るものである。選択スイッチ(2)によって所望の移相信号を出力端(5)より得ることができる。同図では8段のシフトレジスタを用いてある。キャリア周波数を $f_0$ とし、同図の方式で $0 \sim 2\pi$ , 8ステップの移相器を形成するためには、遅延信号(4)として $8f_0$ の周波数信号を必要とする。第2図はフリップフロップによって構成する従来の方法の他の例である。遅延器を分周器(12)により分周してキャリア(10)を作る。キャリアは位相反転器(13)によって $180^\circ$ の移相を受け、フリップフロップ(10a)~(10d)によって各々 $90^\circ$ ,  $45^\circ$ ,  $22.5^\circ$ ,  $11.25^\circ$ の移相を受ける。フリップフロップによるラッチを確実にするため遅延素子(17a~17d)によって1段毎に信号の遅延を行なう。遅延量はフリップフロップの立上り時間以上、且つ段数を $N$ とし最小移相量に対応する時間 $\tau$ として $\tau/N$ 以下であればよい。スイッチ

(11a~11e)の切替によって所望の移相を受けた出力が出力端時に得られる。スイッチ(11a)が $2^0$ 、スイッチ(11e)が $2^4$ のビットに対応する。Nのビット精度を持つ移相器を得るにはキャリア周波数を $f_0$ として $f_0 \cdot 2^N$ の周波数を持つ原振を必要とする。

以上第1図、第2図の例においては、いずれも移相精度に見合っただけの高い周波数の原振、及びその原振周波数にて動作するフリップフロップ等の回路素子が必要である。この点が、これらの方式における欠点である。

次にCR回路によって構成される移相回路の例を第3図に示す。原振4は位相反転器40で $180^\circ$ の移相を受け、 $R_1C_1 \sim R_4C_4$ のCR回路で $180^\circ$ 以下の移相を受ける。CR回路で移相を受けた信号はバッファ(22a~22c)により整形、増幅されて次段の移相を受ける。各段の移相量は各C.R.によって決定され、通常は $90^\circ$ 、 $45^\circ$ 、 $22.5^\circ \dots (180^\circ/2^N)$  ; Nは整数)に選ばれる。各々の移相量をスイッチ(21a~21e)によって選択・組合せることによ

り所望の移相量を得ることができる。

この方式の欠点は最上位ビットに相当する部分のCR定数に対し、最下位ビットの移相量に相当するCR定数以下の精度が要求される事である。一般に低抵抗、容量を精度よく製作する事は困難であるから、この方式によれば多ビットの移相器を製作する事は困難である。

この点がCR回路による従来の方式の欠点である。

以上、従来の方法によれば、どの方法によっても多ビットの移相器を形成する事に困難がある。

#### 〔発明の目的〕

この発明は、上述した従来の移相器の問題点に鑑みてなされたもので、製作容易な充分精度の高い多ビットの移相器を提供することを目的とする。

#### 〔発明の概要〕

この発明は、上位ビットの移相をフリップフロップによって行ない下位ビットの移相をCR回路によって行ない。

#### 〔発明の効果〕

この発明によれば、従来必要とされた高周波用フリップフロップも高精度容量・抵抗も使用しない移相器が得られる。フリップフロップの動作周波数が低いという事から、安価となるのみならず消費電力の低下も得られる。また、使用する容量・抵抗の精度が低いものでよいという事はそれだけ製作が容易となり、価格の低下が得られ、また温度変化率に対する性能の劣化を防ぐことができる。

#### 〔発明の実施例〕

第4図に本発明一実施例の回路構成を示す。2 $\pi$ を5ビットの精度で移相する事ができるものである。最上位ビットは簡単のため位相反転器30によって得られる $180^\circ$ の移相の有無を選択する。これは31aのスイッチによって選択される。さらに第2、第3ビットの上位ビットは各々フリップフロップ32a、32bによって得られる $90^\circ$ 、 $45^\circ$ の移相の有無を選択する。これは31b、31cのスイッチによって選択される。このときフリップフロップのラッチを確定するため、遅延素子

37a、37bが用いられる。これに必要とする遅延量は、フリップフロップによる移相量の最小値(この例では $45^\circ$ )に対応する時間の段数(この例では2)倍以下で、且つフリップフロップの立上り時間以上である。フリップフロップのクロックは原振40を分周器40aで分周して得る。

第4、第5ビットの下位ビットに相当する移相量は各々CR回路( $R_{10} \cdot C_{10}$ 、 $R_{11} \cdot C_{11}$ )及びバッファ(33a、33b)によって得られる。このとき $R_{10} \cdot C_{10}$ 及び $R_{11} \cdot C_{11}$ はキャリア周波数に対して、必要な移相量(この例では $22.5^\circ$ 、 $112.5^\circ$ )が得えられる値とする。

この場合、フリップフロップの動作速度は、第1図及び第2図に示した従来の移相器と比べれば3ビット精度の移相器に要求されるものと等しい。また、CR回路に要求される精度は、第3図に示した従来の移相器と比べれば2ビット精度の移相器に要求されるものと等しい。

第4図に示した実施例においては特に5ビットの移相器についてのみ述べたが、当然他のビット

の移相器においても、上位ビットについてフリップフロップを用い、下位ビットについてCR回路を用いる事によって本発明を実施することができる。また、最上位ビットについて特に位相反転器を用いたが、この部分を第2ビットと同様にフリップフロップを用いて構成しても同用の効果が得られる。

また、実施例においては第2、第3ビットをフリップフロップにより、第4、第5ビットをCR回路により構成したが、例えば第1、第2ビットをフリップフロップ、第3、4、5ビットをCR回路、あるいは第1、2、3、4ビットをフリップフロップ、第5ビットをCR回路というように、CR回路による最上位ビットがフリップフロップ回路による最下位ビットよりも上位ビットとならない構成であれば、どのような組合せによっても本発明の効果を奏することができる。

#### 4. 図面の簡単な説明

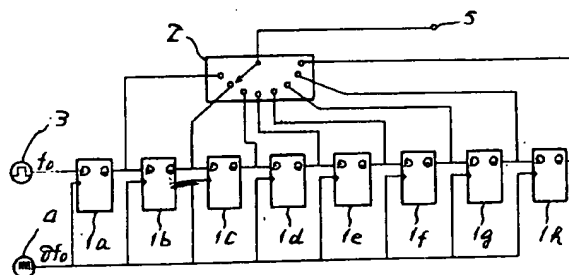
第1、第2図はフリップフロップによる従来の移相器を示す図、第3図はCR回路による従来の

移相器を示す図、第4図は本発明の一実施例の移相器を示す図である。

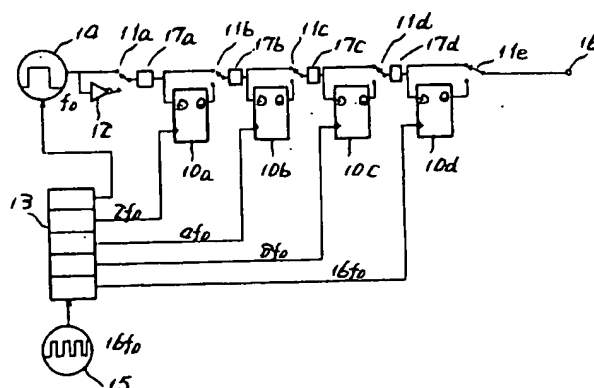
- 1a~1h...フリップフロップ
- 2...スイッチ
- 3...キャリア信号
- 10a~10d...フリップフロップ
- 11a~11d...スイッチ
- 14...キャリア信号
- 21a~21e...スイッチ
- 23...キャリア信号
- 32a, 32b...フリップフロップ
- 33a, 33b...バッファ
- 31a, 31e...スイッチ
- 34...キャリア信号
- 36...分周器

代理人 弁理士 則 近 藤 佑  
(ほか1名)

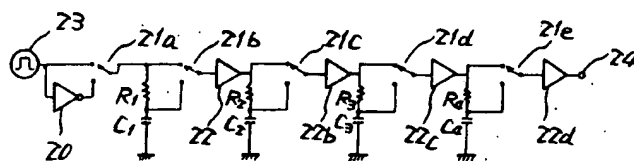
第 1 図



第 2 図



第 3 図



第 4 図

